

S7 1 PN=JP 2000012866
?t s7/5

10/538013

7/5/1
DIALOG(R)File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

JC17 Rec'd PCT/PTO 07 JUN 2005

06427303 **Image available**
IMAGING DEVICE

PUB. NO.: 2000-012866 [*JP 2000012866* A]
PUBLISHED: January 14, 2000 (20000114)
INVENTOR(s): TSUTSUMI JUNSEI
KONNO AKIRA
IKEDA MITSUSHI
APPLICANT(s): TOSHIBA CORP
APPL. NO.: 10-175015 [JP 98175015]
FILED: June 22, 1998 (19980622)
INTL CLASS: H01L-029/786; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To prevent image quality from being deteriorated and a leakage current from being increased due to irregularities in the characteristics of TFTs in an imaging device of a structure, wherein a plurality of the thin-film transistors(TFTs) are arranged for a single pixel.

SOLUTION: An imaging device comprises a pixel part OEF, which comprises a photoelectric conversion film for converting incident light into a signal charge and a pixel capacitance for storing this signal charge, a thin-film transistor TFT1, the operation of which is controlled by a scanning line G1 to read out a pixel electrode potential to a signal conductor S1, and a protective diode TFT2, which releases a pixel potential to a bias line B1, when the pixel electrode potential reaches a potential higher than a prescribed potential to prevent a pixel electrode from being broken down, the transistor TFT1 connected with a source or a drain is adopted to the pixel electrode and a TFT having a long LDD length, a TFT of a double-gate structure or a TFT of a small transistor size is adopted for the TFT2, whereby the off-resistance of the imaging device is increased so as to inhibit leakage current in the device, and at the same time, the signal charge leaking prior to the readout of the pixel electrode potential is prevented, and the S/N ratio is reduced.

COPYRIGHT: (C)2000,JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-12866

(P2000-12866A)

(43)公開日 平成12年1月14日 (2000.1.14)

(51)Int.Cl.

識別記号

F I

マーク* (参考)

H 0 1 L 29/786
21/336

H 0 1 L 29/78

6 1 6 A

6 1 2 Z

6 1 6 S

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21)出願番号 特願平10-175015

(22)出願日 平成10年6月22日 (1998.6.22)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 堤 純 蔵

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72)発明者 金 野 晃

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72)発明者 池 田 光 志

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(74)代理人 100064285

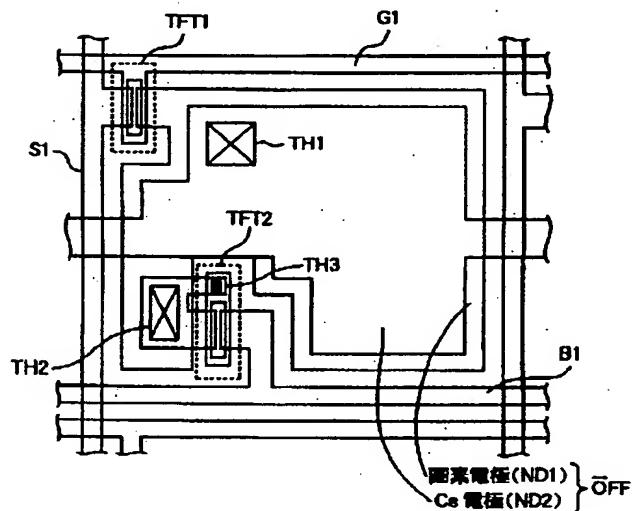
弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】 1画素に複数のTFTが配置されている撮像装置において、TFTの特性のばらつきが原因となって画質が劣化したりリーク電流が増加することを防止する。

【解決手段】 入射光を信号電荷に変換する光電変換膜とこの信号電荷を蓄積する画素容量とを含む画素部OEFと、走査線G1により動作を制御されて画素電極電位を信号線S1へ読み出す薄膜トランジスタTFT1と、画素電極電位が所定以上になるとバイアス線B1に画素電位を逃がして画素電極が破壊されるのを防ぐ保護ダイオードTFT2とを含み、画素電極にソース又はドレインが接続されたトランジスタTFT1、TFT2にはLDD長が長いTFT、又はダブルゲート構造のTFT、あるいはトランジスタサイズの小さいTFTを採用することにより、オフ抵抗を増加させてリーク電流を抑制すると共に、読み出し前に信号電荷がリークしてS/N比が低下するのを防止する。



【特許請求の範囲】

【請求項1】基板上に相互に直交するように配置された信号線及び走査線と、前記信号線と前記走査線とが交差する箇所に配置され入射光を信号電荷に変換して蓄積する光電変換膜及び画素電極を含む画素部と、前記走査線により動作を制御されて前記画素電極の電位を読み出す薄膜トランジスタを含む信号読み出し回路と、前記走査線を駆動する走査線駆動回路とを備え、前記信号読み出し回路に含まれる前記薄膜トランジスタのうち、ソース又はドレインが前記画素電極に接続されたものは他の薄膜トランジスタよりもLDD長が長いことを特徴とする撮像装置。

【請求項2】相互に直交するように配置された複数の信号線及び走査線と、前記信号線と前記走査線とが交差する箇所にマトリクス状に配置され入射光を信号電荷に変換して蓄積する光電変換膜及び画素電極を含む画素部と、各々の前記走査線により動作を制御されて対応する前記画素電極の電位を読み出す薄膜トランジスタを含む信号読み出し回路と、各々の前記走査線を駆動する走査線駆動回路とを備え、前記信号読み出し回路に含まれる前記薄膜トランジスタのうち、ソース又はドレインが前記画素電極に接続されたものは他の薄膜トランジスタよりもLDD長が長いことを特徴とする撮像装置。

【請求項3】基板上に相互に直交するように配置された信号線及び走査線と、前記信号線と前記走査線とが交差する箇所に配置され入射光を信号電荷に変換して蓄積する光電変換膜及び画素電極を含む画素部と、前記走査線により動作を制御されて前記画素電極の電位を読み出す薄膜トランジスタを含む信号読み出し回路と、前記走査線を駆動する走査線駆動回路とを備え、前記信号読み出し回路に含まれる前記薄膜トランジスタのうち、ソース又はドレインが前記画素電極に接続されたものはマルチゲート構造を有することを特徴とする撮像装置。

【請求項4】相互に直交するように配置された複数の信号線及び走査線と、前記信号線と前記走査線とが交差する箇所にマトリクス状に配置され入射光を信号電荷に変換して蓄積する光電変換膜及び画素電極を含む画素部と、各々の前記走査線により動作を制御されて対応する前記画素電極の電位を読み出す薄膜トランジスタを含む信号読み出し回路と、各々の前記走査線を駆動する走査線駆動回路とを備え、前記信号読み出し回路に含まれる前記薄膜トランジスタのうち、ソース又はドレインが前記画素電極に接続されたものはマルチゲート構造を有することを特徴とする撮像装置。

【請求項5】前記信号読み出し回路には、ドレイン又はソースが前記画素電極に接続され、ソース又はドレインが前記信号線に接続され、ゲートが前記走

査線に接続され、前記走査線により動作を制御されて前記画素電極の電位を前記信号線に出力する信号読み出し用トランジスタと、

ドレイン又はソースとゲートとが前記画素電極に接続され、ソース又はドレインが一定電位線に接続され、前記画素電極の電位が所定電位以上になると前記画素電極と前記一定電位線とを導通させる保護用トランジスタと、ソース又はドレインが前記画素電極に接続されていない他のトランジスタとが含まれており、

10 前記信号読み出し用トランジスタ及び前記保護用トランジスタは、前記他のトランジスタよりもLDD長が長いことを特徴とする請求項1又は2記載の撮像装置。

【請求項6】前記信号読み出し回路には、ドレイン又はソースが前記画素電極に接続され、ソース又はドレインが前記信号線に接続され、ゲートが前記走査線に接続され、前記走査線により動作を制御されて前記画素電極の電位を前記信号線に出力する信号読み出し用トランジスタと、

20 ドレイン又はソースとゲートとが前記画素電極に接続され、ソース又はドレインが一定電位線に接続され、前記画素電極の電位が所定電位以上になると前記画素電極と前記一定電位線とを導通させる保護用トランジスタと、ソース又はドレインが前記画素電極に接続されていない他のトランジスタとが含まれており、

前記信号読み出し用トランジスタ及び前記保護用トランジスタはマルチゲート構造を有し、前記他のトランジスタはシングルゲート構造を有することを特徴とする請求項3又は4記載の撮像装置。

【請求項7】前記信号読み出し回路には、

30 ドレイン又はソースが前記画素電極に接続され、ソース又はドレインが前記信号線に接続され、ゲートが前記走査線に接続され、前記走査線により動作を制御されて前記画素電極の電位を前記信号線に出力する信号読み出し用トランジスタと、

ドレイン又はソースが前記画素電極に接続され、ソース又はドレインが一定電位線に接続され、前記画素電極の電位が所定電位以上になると前記画素電極と前記一定電位線とを導通させる保護用トランジスタと、

40 電源電圧を供給され、入力端子が前記画素電極に接続され、出力端子が前記保護用トランジスタのゲートに接続されており、前記画素電極の電位に応じて前記保護用トランジスタの動作閾値を調整する、少なくとも1つのトランジスタを含む閾値調整回路とが含まれ、

前記信号読み出し用トランジスタ及び前記保護用トランジスタは、前記閾値調整回路に含まれるトランジスタよりもLDD長が長いことを特徴とする請求項1又は2記載の撮像装置。

【請求項8】前記信号読み出し回路には、ドレイン又はソースが前記画素電極に接続され、ソース又はドレインが前記信号線に接続され、ゲートが前記走査線に接続さ

れ、前記走査線により動作を制御されて前記画素電極の電位を前記信号線に出力する信号読み出し用トランジスタと、

ドレイン又はソースが前記画素電極に接続され、ソース又はドレインが一定電位線に接続され、前記画素電極の電位が所定電位以上になると前記画素電極と前記一定電位線とを導通させる保護用トランジスタと、

電源電圧を供給され、入力端子が前記画素電極に接続され、出力端子が前記保護用トランジスタのゲートに接続されており、前記画素電極の電位に応じて前記保護用トランジスタの動作閾値を調整する、少なくとも1つのトランジスタを含む閾値調整回路とが含まれ、

前記信号読み出し用トランジスタ及び前記保護用トランジスタはマルチゲート構造であり、前記閾値調整回路に含まれるトランジスタはシングルゲート構造であることを特徴とする請求項3又は4記載の撮像装置。

【請求項9】前記信号読み出し回路には、

前記画素電極にドレイン又はソースとゲートとが接続され、ソース又はドレインが第1の一定電位端子に接続され、前記画素電極の電位が所定電位以上になると前記画素電極と前記第1の一定電位線とを導通させる保護用トランジスタと、

前記画素電極にドレイン又はソースが接続され、ソース又はドレインが第2の一定電位端子に接続され、ゲートにリセット信号を入力されて前記画素電極と前記第2の一定電位線とを導通させるリセット用トランジスタと、電源電圧を供給され、入力端子が前記画素電極に接続され、出力端子が前記信号線に接続され、前記画素電極の電位に応じた電圧信号を生成して前記信号線に出力する、少なくとも1つのトランジスタを含む電圧変換回路とが含まれ、

前記保護用トランジスタ及び前記リセット用トランジスタは、前記電圧変換回路に含まれるトランジスタよりもLDD長が長いことを特徴とする請求項1又は2記載の撮像装置。

【請求項10】前記信号読み出し回路には、

前記画素電極にドレイン又はソースとゲートとが接続され、ソース又はドレインが第1の一定電位端子に接続され、前記画素電極の電位が所定電位以上になると前記画素電極と前記第1の一定電位線とを導通させる保護用トランジスタと、

前記画素電極にドレイン又はソースが接続され、ソース又はドレインが第2の一定電位端子に接続され、ゲートにリセット信号を入力されて前記画素電極と前記第2の一定電位線とを導通させるリセット用トランジスタと、電源電圧を供給され、入力端子が前記画素電極に接続され、出力端子が前記信号線に接続され、前記画素電極の電位に応じた電圧信号を生成して前記信号線に出力する、少なくとも1つのトランジスタを含む電圧変換回路とが含まれ、

前記保護用トランジスタ及び前記リセット用トランジスタはマルチゲート構造であり、前記電圧変換回路に含まれるトランジスタはシングルゲート構造であることを特徴とする請求項3又は4記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光信号を電気信号に変換する撮像装置に係わり、特に医療用X線診断装置の撮像装置として好適なものに関する。

【0002】

【従来の技術】近年、X線診断装置としてa-Si・TFT（アモルファスシリコン薄膜トランジスタ）を含む撮像デバイスを用いた撮像装置が、例えば米国特許第4,689,487号において提案されている。このような撮像装置の全体のブロック構成は、図13に示されるようである。

【0003】X線源101からX線が照射されて被検体102を通過し、a-Si・TFT撮像デバイス103に入射される。この撮像デバイス103において、通過したX線の量に対応したアナログ電気信号が生成されて出力される。アナログ電気信号は時系列的にA/D変換部109に入力されてデジタル変換され、イメージメモリ106に格納される。イメージメモリ106は1枚あるいは数枚分の画像データを記憶するもので、制御部105からの制御信号に基づいて特定のアドレスに与えられた画像データを順次記憶する。イメージメモリ106に記憶された画像データは、演算処理部110によって取り出されて演算が行われ、その結果が再びイメージメモリ106に返還されて記憶される。イメージメモリ106に記憶された演算結果は、D/A変換部107によってアナログ信号に変換され、イメージモニタ108によってX線像として表示される。

【0004】ここで、a-Si・TFT撮像デバイス103は図14に示されるような構成を備えている。横2000×縦2000のマトリクス状に画素(e1,1)～(e2000,2000)が配置されてTFTアレイが構成されている。それぞれの画素(ej,j)(jは1以上で2000以下の整数)は、両端をそれぞれ並列に接続され、その一端に電源148からのバイアス電圧を印加される光電変換膜140及び画素容量142と、入力端子が光電変換膜140及び画素容量142の他端に接続され、出力端子が信号線S1に接続され、ゲートが走査線G1に接続されたa-Si・TFT144とを有している。

【0005】光が入射すると、光電変換膜140に電流が流れて容量142に電荷が蓄積される。走査線駆動回路152によって走査線G1が駆動され、それぞれの走査線G1にゲートが接続されているTFT144が列毎にオンする。このTFT144の入力端子に一端を接続されている容量142に蓄積された電荷が、それぞれの

TFT144の出力端子に接続された信号線S1を通じて増幅器154に転送される。電荷量は画素に入射した光量に対応しており、この電荷量に応じて増幅器154の出力信号の振幅が変化する。

【0006】この増幅器154の出力信号は、図示されていないA/D変換装置を用いてデジタル信号に変換することにより、コンピュータ画面でデジタル画像表示を行うことができる。また、図14に示された画素領域の構成は、パーソナルコンピュータ等の小型情報機器において利用されているTFT型液晶ディスプレイと同様であり、薄型で大画面のものも容易に制作が可能である。

【0007】ここで、図14に示された構成では、1画素につき1個のTFT144が配置されている。しかし、実際のデバイスでは1画素に複数のTFT144が設けられている場合もある。例えば、図15に示されたような構成を有する読み出し回路を用いて、容量142に蓄積された電荷を信号線S1に読み出す場合には、複数のTFT T1及びT2が用いられる。ここで、TFT T1は走査線G1にゲートを接続されてオン/オフを制御され、容量142の電荷を信号線S1に出力するものである。TFT T2は、容量142の一端と接地端子との間に接続されており、保護ダイオードとして作用する。

【0008】あるいは、図16に示された読み出し回路は、電荷を電圧に変換するAMI (Amplified MOS Image) 方式によるものであり、TFT T11~T14を含み、容量142と信号線S1との間にTFT T11~T13から成る定電流源が接続され、容量142の一端と接地端子との間にリセットトランジスタとしてのTFT T14が設けられている。このTFT14のゲートには、リセット信号R1が入力される。図15に示された読み出し回路によれば、容量142に蓄積された電荷はTFT T1を介して直接信号線S1に読み出されるが、図16に示された回路では容量142の電荷が電圧に変換されて読み出される。

【0009】

【発明が解決しようとする課題】ところで、X線撮像装置においては高S/N比、広ダイナミックレンジが要求される。このため、一つの画素に複数のTFTが配置されている場合には、これらのTFTの特性を均一にすることは必須条件である。しかし、TFT特性にはプロセス変動によりばらつきが存在する。特に、オフ抵抗や閾値電圧V_{th}のばらつきは、画質劣化をもたらす。さらに、オフ抵抗にばらつきがあると、リーク電流が増加するため、雑音の増大やS/N比及びダイナミックレンジの劣化が生じる。

【0010】本発明は上記事情に鑑み、リーク電流を抑制するとともに、S/N比を向上させて優れた画質を実現することが可能な撮像装置を提供することを目的とす

る。

【0011】

【課題を解決するための手段】本発明の撮像装置は、基板上に相互に直交するように配置された信号線及び走査線と、信号線と走査線とが交差する箇所に配置され入射光を信号電荷に変換して蓄積する光電変換膜及び画素電極を含む画素部と、走査線により動作を制御されて画素電極の電位を読み出すTFTを含む信号読み出し回路と、走査線を駆動する走査線駆動回路とを備え、信号読み出し回路に含まれるTFTのうち、ソース又はドレインが画素電極に接続されたものは他のTFTよりもLDD長が長いことを特徴としている。

【0012】このような構成を、複数の信号線及び走査線と、信号線と走査線とが交差する箇所にマトリクス状に配置され入射光を信号電荷に変換して蓄積する光電変換膜及び画素電極を含む画素部と、各々の走査線により動作を制御されて対応する画素電極の電位を読み出す薄膜トランジスタを含む信号読み出し回路と、各々の走査線を駆動する走査線駆動回路とを備えた撮像装置における信号読み出し回路に適用してもよい。

【0013】また、信号読み出し回路に含まれる薄膜トランジスタのうち、ソース又はドレインが画素電極に接続されたものにマルチゲート構造を有するTFTを用いてもよい。

【0014】ここで、信号読み出し回路には、ドレイン又はソースが画素電極に接続され、ソース又はドレインが信号線に接続され、ゲートが走査線に接続され、走査線により動作を制御されて画素電極の電位を信号線に出力する信号読み出し用トランジスタと、ドレイン又はソースとゲートとが画素電極に接続され、ソース又はドレインが一定電位線に接続され、画素電極の電位が所定電位以上になると画素電極と一定電位線とを導通させる保護用トランジスタと、ソース又はドレインが画素電極に接続されていない他のトランジスタとが含まれており、信号読み出し用トランジスタ及び保護用トランジスタは、他のトランジスタよりもLDD長が長いものであってもよい。

【0015】あるいは、信号読み出し用トランジスタ及び保護用トランジスタはマルチゲート構造を有するTFTであり、他のトランジスタはシングルゲート構造を有するTFTであってもよい。

【0016】さらには、信号読み出し回路には、ドレイン又はソースが画素電極に接続され、ソース又はドレインが信号線に接続され、ゲートが走査線に接続され、走査線により動作を制御されて画素電極の電位を信号線に出力する信号読み出し用トランジスタと、ドレイン又はソースが画素電極に接続され、ソース又はドレインが一定電位線に接続され、画素電極の電位が所定電位以上になると画素電極と一定電位線とを導通させる保護用トランジスタと、電源電圧を供給され、入力端子が画素電極

に接続され、出力端子が保護用トランジスタのゲートに接続されており、画素電極の電位に応じて保護用トランジスタの動作閾値を調整する、少なくとも1つのトランジスタを含む閾値調整回路とが含まれ、信号読み出し用トランジスタ及び保護用トランジスタは、閾値調整回路に含まれるトランジスタよりもLDD長が長いものであってもよい。

【0017】または、信号読み出し用トランジスタ及び保護用トランジスタはマルチゲート構造を有するTFTであり、閾値調整回路に含まれるトランジスタはシングルゲート構造を有するTFTであってもよい。

【0018】あるいはさらに、信号読み出し回路には、画素電極にドレイン又はソースとゲートとが接続され、ソース又はドレインが第1の一定電位端子に接続され、画素電極の電位が所定電位以上になると画素電極と第1の一定電位線とを導通させる保護用トランジスタと、画素電極にドレイン又はソースが接続され、ソース又はドレインが第2の一定電位端子に接続され、ゲートにリセット信号を入力されて画素電極と第2の一定電位線とを導通させるリセット用トランジスタと、電源電圧を供給され、入力端子が画素電極に接続され、出力端子が信号線に接続され、画素電極の電位に応じた電圧信号を生成して信号線に出力する、少なくとも1つのトランジスタを含む電圧変換回路とが含まれ、保護用トランジスタ及びリセット用トランジスタは、電圧変換回路に含まれるトランジスタよりもLDD長が長いものであってもよい。

【0019】ここで、保護用トランジスタ及びリセット用トランジスタはマルチゲート構造を有するTFTであり、電圧変換回路に含まれるトランジスタはシングルゲート構造を有するTFTであってもよい。

【0020】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。

【0021】先ず、図17にLDD (Lightly Doped Drain) 構造のTFTにおいてLDD長が異なる場合におけるゲート電圧Vとドレイン電流IのI-V特性の変化を示す。このグラフより、LDD長が長くなるとオフ電流が低減されることがわかる。これは、チャネル領域からドレイン領域に至る領域が低濃度不純物であるため、高電界が緩和されるためと考えられる。従って、LDD構造のTFTを採用してLDD長を長くすることで、オフ時のリーク電流を低減することが可能となる。

【0022】しかしその一方で、LDD長が長くなると、オン時における抵抗値が高くなるためにオン電流も減少する傾向にある。よって、高いオン電流が必要なTFTにはLDD長が短いTFTを採用すべきである。

【0023】以下に説明する本発明の一実施の形態はこのような点を考慮し、一画素に設けられた複数のTFT

のうち、オフ電流を低減すべきTFTはLDD長を長く設定し、逆にオン電流を高くすべきTFTは相対的にLDD長を短く設定している点に特徴がある。

【0024】また、TFTにはシングルゲート構造のものとダブルゲート構造のものがあるが、それぞれのTFTにおけるI-V特性は図18のように示される。このグラフより明らかなように、ダブルゲート構造のTFTの方がオフ電流を低減することができる。これは、等価回路的に直列接続された複数のTFTのなかで、最もオフ電流が小さいTFTによってリーク電流の実効値が決定されることにより、特性が良好でないTFTが含まれていてもオフ電流のばらつきが抑制されるためであると考えられる。

【0025】しかし、ダブルゲート構造のTFTでは、各々のTFTのチャネル長をシングルゲート構造のTFTと同一にすると、全体のチャネル長が2倍となり、オン電流が減少する傾向がある。さらに、ダブルゲート構造のTFTはシングルゲート構造のTFTよりも製造工程がより複雑である。従って、高いオン電流が必要なTFTに対してはシングルゲート構造を採用すべきである。

【0026】後述する本発明の他の実施の形態は、この点を考慮して、一画素に設けられた複数のTFTのうち、オフ電流を低減すべきTFTにはシングルゲート構造を採用し、逆にオン電流を高くすべきTFTにはダブルゲート構造を採用している先ず、本発明の第1の実施の形態による撮像装置のTFTアレイ部における一画素の平面構造を図1に示し、この場合の一画素当たりの回路構成を図2に示す。本実施の形態では、画素容量Cs及び光電変換膜OEFを有する一画素当たりに、二つのTFT1及びTFT2が配置されている。

【0027】TFT1は信号電荷読み出し用スイッチとして設けられ、画素容量Csの一端（画素電極）が接続されたノードND1と信号線S1との間にソース、ドレインが接続され、走査線G1にゲートが接続されており、走査線G1によりオン・オフを制御される。画素容量Csの一端（Cs電極）は、ノードND2を介して接地されている。走査線G1がハイレベル（例えば20V）になるとTFT1はオンし、画素容量Csに蓄積された信号電荷を読み出して信号線S1に出力して図示されていない検出器に転送する。

【0028】TFT2は保護ダイオードとして設けられており、ノードND1にゲート及びドレインが接続され、バイアス線B1にソースが接続されている。バイアス線B1は一定電位Vbに保たれており、保護ダイオードとしてのTFT2の降伏電圧を制御する。画素容量Csの電極電位、即ちノードND1の電位が例えば10V以上という所定の電位以上まで上昇すると、TFT2がオンして信号電荷をバイアス線B1に逃がす。このようにして、画素電極に所定電圧以上の電圧が印加されない

ように保護している。

【0029】本実施の形態では、一画素当たりにつき二つのTFT1及びTFT2が設けられており、それぞれのLDD長はいずれも長く設定されている。図3及び図4に、LDD長が異なるTFTの縦断面構造を示す。図3において、絶縁性基板1上に多結晶シリコン膜から成る半導体層2が形成され、半導体層2上にゲート絶縁膜3を介してゲート電極4が形成され、ゲート電極4上に絶縁膜10が形成されている。半導体層2において、ゲート電極4とゲート絶縁膜3を介して対向する位置にチャネル領域6が形成され、チャネル領域6の両側に低濃度不純物領域(LDD領域)9a及び9bが形成され、さらにその両側にソース、ドレインに相当する高濃度不純物領域8a及び8bが形成されている。高濃度不純物領域8a及び8bはコンタクト部に相当し、それぞれの表面上には電極11a及び11bが設けられている。

【0030】同様に、図4に示されたTFTは、絶縁性基板21上に多結晶シリコン膜から成る半導体層22が形成され、半導体層22上にゲート絶縁膜23を介してゲート電極24が形成され、ゲート電極24上に絶縁膜30が形成されている。半導体層22において、ゲート電極24とゲート絶縁膜23を介して対向する位置にチャネル領域26が形成され、チャネル領域26の両側に低濃度不純物領域(LDD領域)29a及び29bが形成され、さらにその両側に高濃度不純物領域28a及び28bが形成されている。高濃度不純物領域28a及び28b上には電極31a及び31bが設けられている。

【0031】ここで、図3に示されたTFTのLDD領域9a及び9bのLDD長 L_1+L_2 よりも、図4に示されたTFTのLDD領域29a及び29bのLDD長 $L_{11}+L_{12}$ の方が長い。上記第1の実施の形態では、図4に示されたようなLDD長が長いTFTをTFT1及び2に用いている。特に、保護ダイオードTFT2のLDD長が短くオフ抵抗が低いと、光電変換膜OEFによって光電変換されて画素容量Csに蓄積された電荷を、走査線G1をハイレベルにして信号線S1へ転送する前に、保護ダイオードTFT2においてリークして信号電荷の蓄積量が減少する。また、信号読み出しトランジスタTFT1のオフ抵抗が短い場合にも、やはり走査線G1をハイレベルにして読み出す前の段階で信号電荷が信号線S1に流れてしまうので、信号電荷の蓄積量が減少してS/N比が低下する。そこで、本実施の形態ではTFT1及びTFT2にLDD長が長くオフ抵抗が大きいTFTを用いることで、オフ時のリーク電流を減少させるとともにS/N比を向上させている。

【0032】本発明の第2の実施の形態は、図1及び図2に示された信号読み出しTFT1と保護ダイオードTFT2とに、図5に示されたようなダブルゲート構造のTFTを用いた点に特徴がある。このTFTは、絶縁性基板31上に多結晶シリコン膜から成る半導体層32が

形成され、半導体層32上にゲート絶縁膜33を介してゲート電極34a及び34bが形成され、その表面上に絶縁膜40が形成されている。半導体層32において、ゲート電極34a及び34bとゲート絶縁膜23を介してそれぞれ対向する位置にチャネル領域36a及び36bが形成され、チャネル領域36a及び36bのそれぞれ外側にLDD領域39a及び39bが形成され、中間にLDD領域39cが形成されている。LDD領域39a及び39bの外側に高濃度不純物領域38a及び38bが形成されている。この高濃度不純物領域38a及び38b上には、電極41a及び41bが設けられている。このように、ダブルゲート構造のTFTを、信号読み出し用スイッチTFT1及び保護ダイオードTFT2、即ち画素容量Csの画素電極ノードND1にソース又はドレインが接続されたTFTに採用することで、LDD領域39a、39b及び39cを合計したLDD長が長くなり、オフ抵抗が大きくなってリーク電流が減少する。よって、本実施の形態によっても上記第1の実施の形態と同様な効果を得ることができる。ここで、ダブルゲート構造のTFTを示したが、ゲートの数は2に限らず3以上のマルチゲート構造のTFTであっても、LDD長の合計値を大きくしてオフ抵抗を増加させることができるので、同様の効果を得ることができる。

【0033】また、上記第1の実施の形態では、保護ダイオード及び信号読み出し用のトランジスタのLDD長を長くすることでリーク電流を低減させ、上記第2の実施の形態ではダブルゲート構造のTFTを採用することでリーク電流を低減させている。しかしこれに限らず、チャネル幅Wとチャネル長Lとの比で表されるトランジスタのサイズ W/L を小さくすることによっても同様の効果を得ることができる。

【0034】さらに、上記第1、第2の実施の形態ではいずれも半導体膜として多結晶シリコンによるものを用いているが、a-Siから成る半導体膜や単結晶シリコンから成る半導体膜を用いてもよい。

【0035】あるいはまた、図4に示された左右のLDD領域29aと29b、図5に示されたLDD領域39aと39cとはいずれも長さが等しく設定されているが、これらの長さは異なってもよい。

【0036】次に、上記第1、第2の実施の形態による一画素の構成をTFTアレイ全体に適用した場合について、図6を用いて述べる。m(mは2以上の整数)本の走査線S1、S2、…、Smと、n本の信号線G1、G2、…、Gnとが直交するように配置され、それぞれが交差する箇所にマトリクス状に画素容量の画素電極P(1, 1)、…、P(m, n)が配置されている。各々の画素毎に、画素電極P(i, j)(iは2以上m以下の整数、jは2以上n以下の整数)と信号線Siとの間に信号読み出し用スイッチTFT1の両端が接続され、そのゲートには走査線Gjが接続されている。さらに、

画素電極P (i, j) とバイアス電源Pwとの間に、保護ダイオードTFT 2の両端が接続され、ゲートが画素電極P (i, j) に接続されている。

【0037】このようなマトリクス状に配置された画素にそれぞれ設けられた信号電荷読み出しスイッチTFT 1及び保護ダイオードTFT 2に、上記第1の実施の形態を適用してLDD長の長いTFTを用いてもよく、または上記第2の実施の形態を提供してダブルゲート構造のTFTを用いてもよい。あるいは、サイズW/Lの小さいTFTをTFT 1及びTFT 2に用いてもよい。このような構成とすることで、TFTアレイ全体でオフ時のリーク電流を減少させると共に、S/N比を向上させることができる。

【0038】また、図1、図2、図6に示された回路構成では、保護ダイオードTFT 2のソースはバイアス線B1に接続されてバイアス電圧が印加されている。しかし、図7に示されたように、保護ダイオードTFT 2のソースを画素容量CsにおけるCs電極に接続してもよい。ここで、画素容量Csには接地電圧等の一定電圧が印加されている。そして、この図7に示された一画素の構成をTFTアレイ全体に適用してもよい。

【0039】さらに、図1、図2、図6、図7に示された回路構成では、保護ダイオードTFT 2を1つのTFTで構成している。しかし、図8(a)～(e)にそれぞれ示されたように、複数のTFT Tr1～Trxで構成してもよい。図8(a)に示された保護ダイオードは、ノードND1とバイアス線B1との間に、TFT Tr1～Trxのドレイン、ソースが直列に接続され、ゲートが全てノードND1に共通接続されている。図8(b)に示された保護ダイオードは、ノードND1とバイアス線B1との間にTFT Tr1～Trxのドレイン、ソースが同様に直列に接続されているが、ゲートはそれぞれのTFT Tr1～Trxのドレインに接続されている。

【0040】図8(c)に示された保護ダイオードは、ノードND1とバイアス線B1との間に、TFT Tr1～Trxのドレイン、ソースが並列に接続され、ゲートが全てノードND1に共通接続されている。図8(d)に示された保護ダイオードはノードND1とバイアス線B1との間にTFT Tr1～Trxのドレイン、ソースが同様に並列に接続され、ゲートはそれぞれのTFT Tr1～Trxのドレインに接続されている。

【0041】また、図8(e)に示された保護回路では、図2に示されたノードND1とノードND2との間に、TFT Tr11～Tr13が設けられている。ノードND1とノードND2との間に保護ダイオードとしてのTFT Tr11のドレイン、ソースが接続されている。さらに、保護ダイオードTFT Tr11の閾値電圧を調整するためのTFT Tr12及びTr13の

ドレイン、ソースが直列に接続されている。TFT Tr12のドレインには一定電圧V1が印加され、ゲートはノードND1に接続され、ソースはTFT Tr11のゲート及びTFT Tr13のドレインに接続されている。TFT Tr13のソースには一定電圧V3が印加され、ゲートには一定電圧V2が印加されている。これらの電圧V1～V3を変えることで、画素電極電位に応じて保護ダイオードTFT Tr11の閾値を調整することができる。

【0042】図8(e)に示された保護回路を用いた回路に対して上記第1の実施の形態を適用する場合には、保護ダイオードTFT Tr11及び信号読み出しスイッチTFT 1に対してLDD長の長いTFTを採用し、閾値調整用のTFT Tr12及びTr13には相対的にLDD長の短いTFTを採用する。また、上記第2の実施の形態を適用する場合には、保護ダイオードTFT Tr11及び信号読み出し用スイッチTFT 1にダブルゲート構造あるいはマルチゲート構造のTFTを採用し、閾値調整用のTFT Tr12及びTr13にはシングルゲート構造のTFTを採用する。これは、保護ダイオードTFT Tr11及び信号読み出しスイッチTFT 1と比較して、閾値調整用のTFT Tr12及びTr13に関しては、オフ抵抗を増加させるよりはオン抵抗を減少させる方が特性上好ましいからである。

【0043】次に、本発明の第3の実施の形態について、その平面構造を示した図9とその回路構成を示した図10とを用いて説明する。上記第1、第2の実施の形態では、画素容量Csに蓄積された電荷を信号読み出し用スイッチTFT 1を介して直接信号線S1に転送する。これに対し、本実施の形態では、画素容量Csに蓄積された信号電荷を電圧変換回路VCによって電圧信号に変換して信号線S1に転送するAMI方式を採用している点で相違する。

【0044】光電変換膜OEFの一端が電源端子に接続され、その他端に画素容量Csの画素電極がノードND1を介して接続されている。画素容量CsのCs電極は接地されている。ノードND1と接地端子との間には、リセット用TFT TFTRのドレイン、ソースが接続され、ゲートにはリセット信号が入力される。ノードND1には保護ダイオードTFT 2のドレイン及びゲートが接続され、ソースがバイアス線B1に接続されている。

【0045】さらに、ノードND1と信号線S1との間に、電圧変換回路VCが設けられている。電圧変換回路VCは、ドレインが電源端子に接続され、ソースがTFTOのドレインに接続され、ゲートが走査線G1に接続された選択用TFT TFTSと、ソースが信号線S1に接続され、ゲートがノードND1に接続された出力用TFT TFTOと、ドレイン及びゲートが電源端子に

接続され、ソースが信号線S1に接続されたバイアス用TFT TFTBとを備えている。

【0046】信号線S1は、バイアス用TFTBによって所定のバイアス電位にバイアスされている。信号線G1がハイレベルになると選択用TFT、TFTSがオンしてTFTOのドレインに電源電圧が供給され、当該画素の信号電荷に対応した電圧が読み出される状態になる。トランジスタTFTOのゲートにノードND1を介して接続された画素電極の電位VgsがTFTOのソースより出力されて信号線S1に転送される。この後、ハイレベルのリセット信号Rがリセット用TFT TFTRのゲートに入力されてオンし、画素容量Csに残留していた電荷が放出され、画素電極電位がリセットされる。

【0047】保護ダイオードTFT2は、ソースに接続されたバイアス線B1より一定のバイアス電位Vbを入力されている。この電位Vbにより、保護ダイオードTFT2の降伏電圧が制御される。画素電極電位Vgsが例えば10Vというように所定電圧以上に到達すると、保護ダイオードTFT2がオンして、信号電荷をバイアス線B1に逃がす。これにより、画素電極に所定以上の電圧が印加されて絶縁破壊が生じるのが防止される。

【0048】本実施の形態では、画素電極（ノードND1）にソース又はドレインが接続された保護ダイオードTFT2及びリセットTFT TFTRのLDD長が、他のTFTB、TFTS、TFTOのLDD長よりも長く設定されている点に特徴がある。保護ダイオードTFT2及びリセットTFT TFTRは、オフ抵抗が小さいと信号電荷を読み出す前の段階で信号電荷がリークしてS/N比の低下を招く。このため、これらのTFT2及びTFTRには、LDD長の長いTFTを採用してリーク電流を減少させると共に、S/N比を向上させている。一方、電圧変換回路VCを構成するTFTB、TFTS、TFTOについては、信号線S1に出力する電圧の振幅が小さくなって帯域が狭くならないように、オン抵抗が小さく十分な駆動能力を有する必要がある。そこで、これらのTFTB、TFTS、TFTOにはLDD長が短いTFTを採用している。

【0049】本発明の第4の実施の形態は、回路構成としては図9及び図10に示された上記第3の実施の形態と同様であるが、TFTの構造が相違する。画素電極にソース又はドレインが接続された保護ダイオードTFT2及びリセットTFT TFTRにはマルチゲート構造のTFTを採用し、他のTFTB、TFTS、TFTOにはシングルゲート構造のTFTを採用する。保護ダイオードTFT2及びリセットTFT TFTRは、上述したようにオフ抵抗を大きくする必要があるため、LDD長の合計値が大きいマルチゲート構造のものを用いる。逆に、電圧変換回路VCを構成するTFTB、TFTS、TFTOについては、駆動能力を高くするためにシングルゲート構造のTFTを用いる。

【0050】また、上記第1、第2の実施の形態について述べた場合と同様に、LDD長やゲート構造が異なるTFTを用いる場合に限らず、保護ダイオードTFT2及びリセットTFT TFTRにはサイズW/Lが小さいTFTを採用し、電圧変換回路VCを構成するTFTB、TFTS、TFTOにはサイズが大きいTFTを用いてもよい。

【0051】さらに、TFTにおける半導体膜は多結晶シリコンに限らず、a-Siから成る半導体膜や単結晶シリコンから成る半導体膜を用いてもよい。

【0052】また、TFTの左右のLDD領域の長さは異なってもよい。

【0053】上記第3、第4の実施の形態による一画素の構成をTFTアレイ全体に適用した場合について、図11を用いて説明する。m本の走査線S1、S2、…、Smと、n本の信号線G1、G2、…、Gnとが直交するように配置され、それぞれが交差する箇所にマトリクス状に画素容量の画素電極P(1,1)、…、P(m,n)が配置されている。各々の画素毎に、画素電極P(i,j)と信号線Siとの間に、TFTB、TFTS及びTFTOから成る電圧変換回路VCが設けられている。画素電極P(i,j)とバイアス電源Pwに接続されたバイアス線B1との間に、保護ダイオードTFT2の両端が接続され、ゲートが画素電極P(i,j)に接続されている。画素電極P(i,j)と接地端子との間、リセット用TFT TFTRの両端が接続され、ゲートがリセット線R1に接続されている。

【0054】このようなマトリクス状に配置された画素にそれぞれ設けられたTFTB、TFTS及びTFTOと、保護ダイオードTFT2及びリセット用TFT TFTRに対して、上記第3の実施の形態を適用してLDD長の異なるTFTを用いてもよく、あるいは上記第4の実施の形態を提供してゲート構造が異なるTFTを用いてもよい。あるいは、サイズW/Lの小さいTFTをTFT1及びTFT2に用いてもよい。このような構成とすることで、TFTアレイ全体でオフ時のリーク電流を減少させるとともに、S/N比を向上させることができる。

【0055】また、上記第3、第4の実施の形態では、保護ダイオードTFT2のソースがバイアス線B1に接続されてバイアス電圧が印加されている。しかし、図12に示されたように、保護ダイオードTFT2のソースを画素容量CsにおけるCs電極に接続してもよい。ここで、画素容量Csには接地電圧等の一定電圧が印加されている。そして、この図12に示された一画素の構成を、TFTアレイ全体に適用してもよい。

【0056】さらに、図9～図12に示された回路構成では、保護ダイオードTFT2を1つのTFTで構成している。しかし、上記第1、第2の実施の形態において説明した場合と同様に、図8(a)～(e)にそれぞれ

示された複数のTFT Tr1~Trxを用いて保護ダイオードTFT2を構成してもよい。この場合のTFT Tr1~Trxのソース、ドレイン及びゲートと、ノードN1及びN2、バイアス線B1との接続関係は、上記第1、第2の実施の形態における場合と同様である。

【0057】

【発明の効果】以上説明したように、本発明の撮像装置によれば、画素に設けられたTFTのうち画素電極にソース又はドレインが接続されたものにはLDD長が長いTFT、またはマルチゲート構造のTFT、あるいはトランジスタ寸法W/Lの小さいTFTを採用してオフ抵抗を増加させてリーク電流を減少させると共にオフ時に信号電荷がリークしてS/N比が低下することを防止し、他のTFTが設けられている場合にはLDD長が短いTFT、シングルゲート構造のTFT、又はトランジスタ寸法W/Lが大きいTFTを用いることにより、駆動能力を高めて読み出し感度を向上させることが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による撮像装置における一画素当たりの平面構成を示した平面図。

【図2】同撮像装置における一画素当たりの回路構成を示した回路図。

【図3】同撮像装置において用いられるLDD長の短いTFTの縦断面構造を示した断面図。

【図4】同撮像装置において用いられるLDD長の長いTFTの縦断面構造を示した断面図。

【図5】本発明の第2の実施の形態による撮像装置において用いられるダブルゲート構造のTFTの縦断面構造を示した断面図。

【図6】上記第1、第2の実施の形態による撮像装置の一画素当たりの回路構成をTFTアレイ全体に適用した場合の構成を示したレイアウト図。

【図7】上記第1、第2の実施の形態による撮像装置の変形例を示したレイアウト図。

【図8】上記第1、第2の実施の形態による撮像装置における保護ダイオードの変形例を示した回路図。

【図9】本発明の第3又は第4の実施の形態による撮像装置における一画素当たりの平面構成を示した平面図。

【図10】同撮像装置における一画素当たりの回路構成を示した回路図。

【図11】上記第3、第4の実施の形態による撮像装置

の一画素当たりの回路構成をTFTアレイ全体に適用した場合の構成を示したレイアウト図。

【図12】上記第3、第4の実施の形態による撮像装置の変形例を示したレイアウト図。

【図13】従来のX線診断装置の概略構成を示したブロック図。

【図14】同装置におけるTFT撮像デバイスの構成を示した回路図。

【図15】同装置のTFT撮像デバイスにおいて信号読み出し回路の他の回路例を示した回路図。

【図16】同装置のTFT撮像デバイスにおいて信号読み出し回路のさらに他の回路例を示した回路図。

【図17】LDD長の異なるTFTのゲート電圧ードレイン電流の変化を示したグラフ。

【図18】ゲート構造の異なるTFTのゲート電圧ードレイン電流の変化を示したグラフ。

【符号の説明】

TFT1 信号読み出しスイッチ

TFT2 保護ダイオード

G1~Gn 信号線

S1~Sm 走査線

B1~Bn バイアス線

Cs 画素容量

OEF 光電変換膜

ND1、ND2 ノード

Tr1~Trx、Tr11~Tr13、TFTB、TF-

TO、TFTS、TFTR TFT

TH1~TF3 スルーホール

1、21、31 絶縁基板

2、22、32 半導体膜

3、23、33 ゲート絶縁膜

4、24、34a、34b ゲート電極

6、26、36a、36b チャネル領域

8a、8b、28a、28b、38a、38b ソース、ドレイン (コンタクト部)

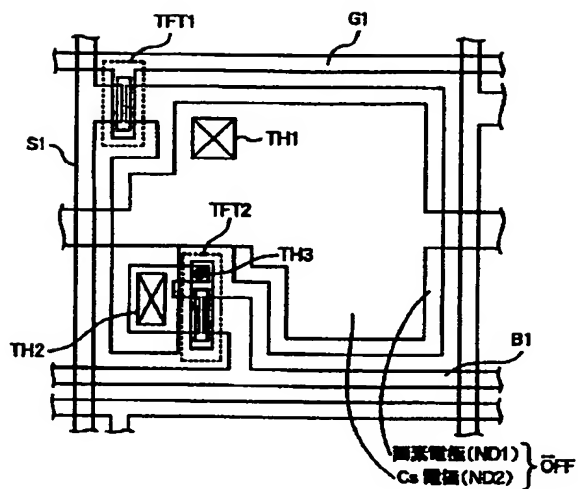
9a、9b、29a、29b、39a、39b、39c LDD領域

10、30、40 絶縁膜

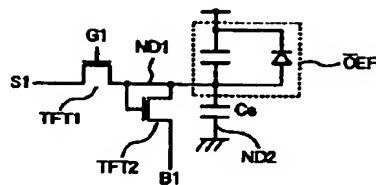
11a、11b、31a、31b、41a、41b ソース、ドレイン電極

40 P(1,1)~P(m,n) 画素電極

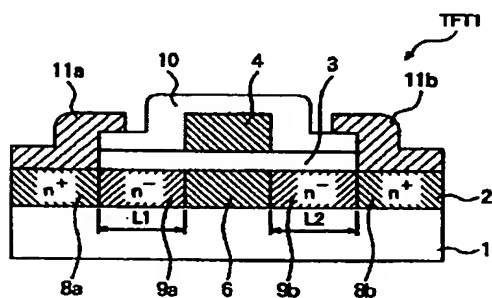
【図 1】



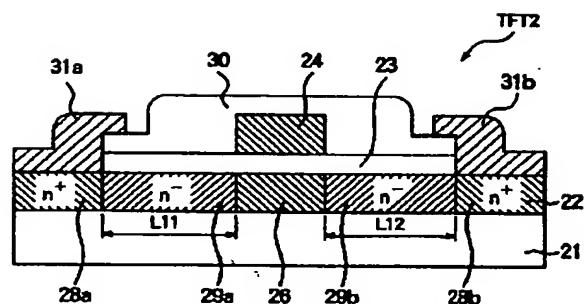
【図 2】



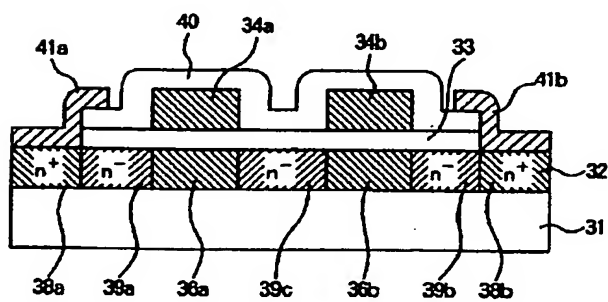
【図 3】



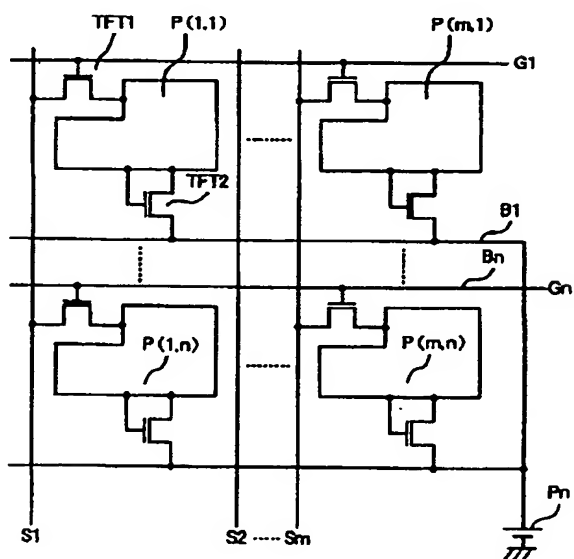
【圖 4】



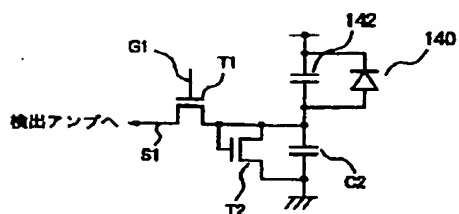
【図 5】



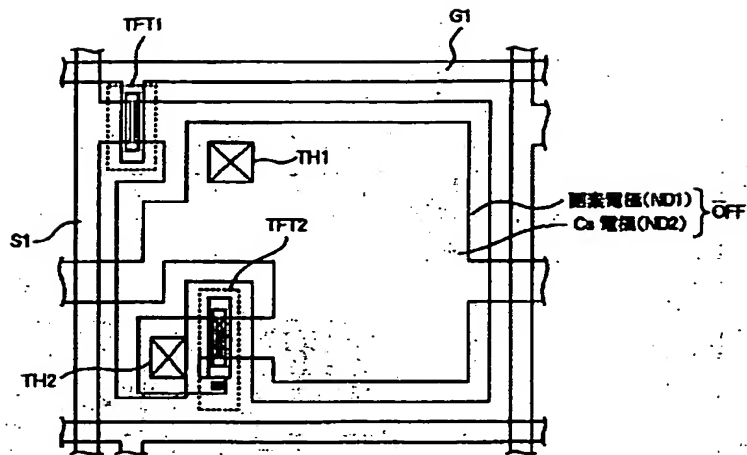
【图 6】



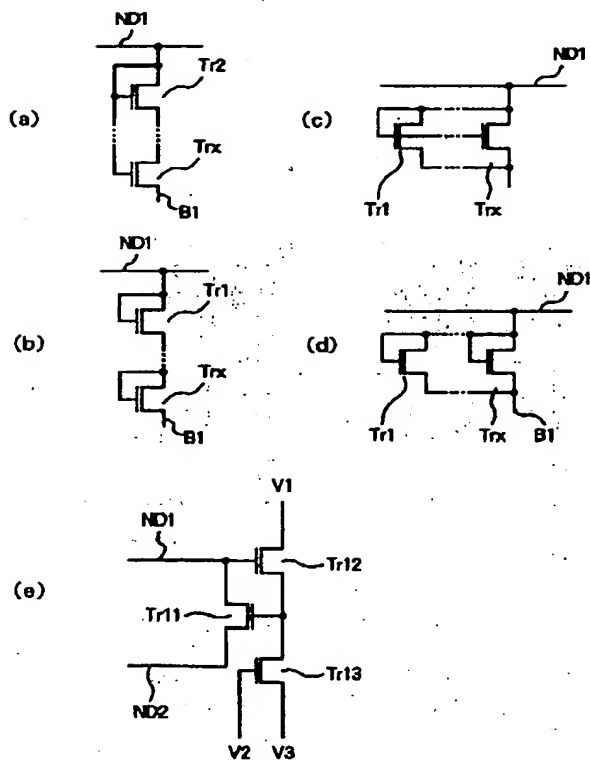
【图 15】



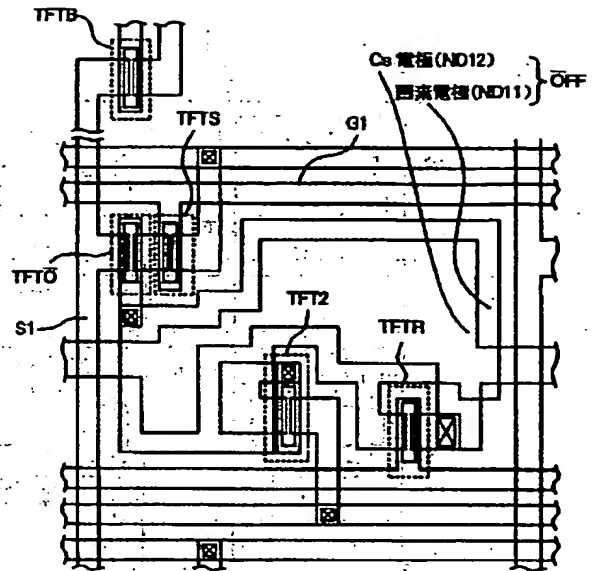
【図7】



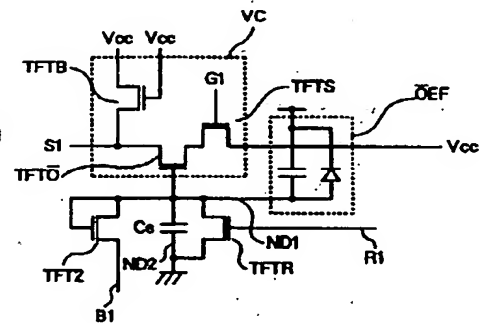
【図8】



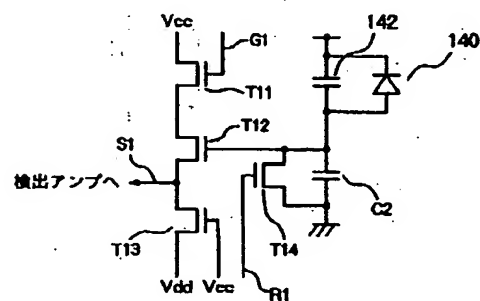
【図9】



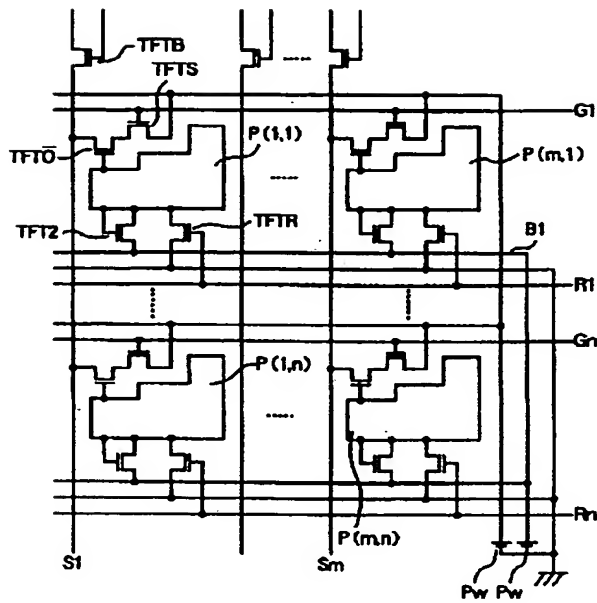
【図10】



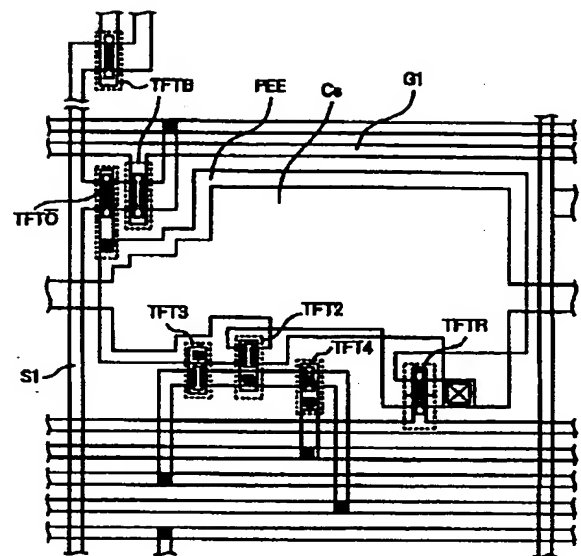
【図16】



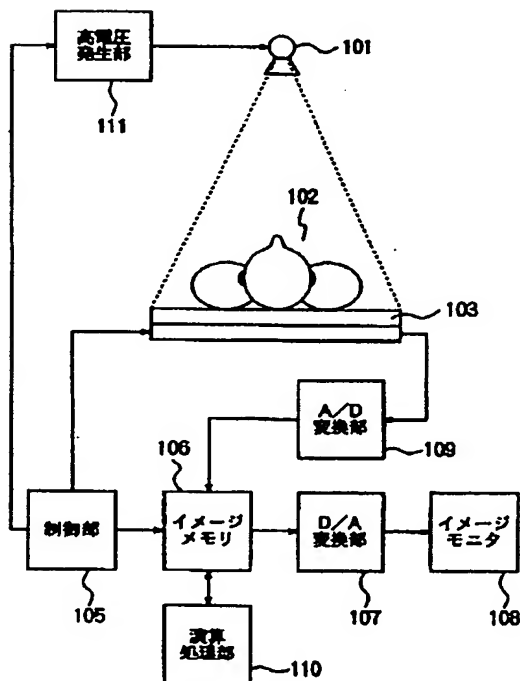
【図 11】



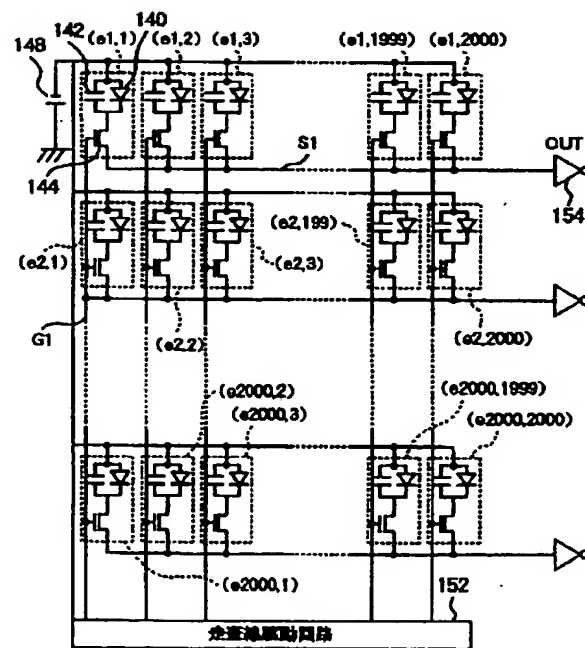
【図 12】



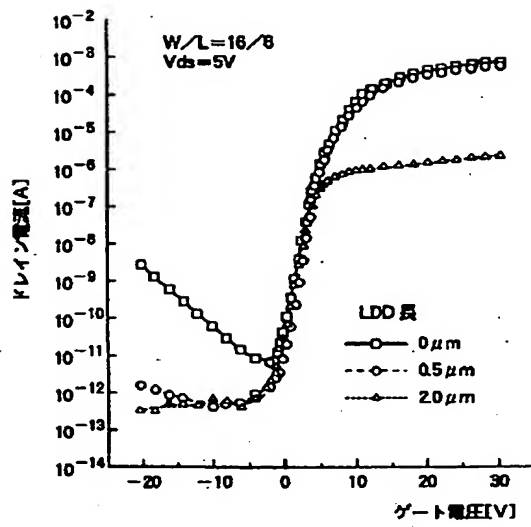
【図 13】



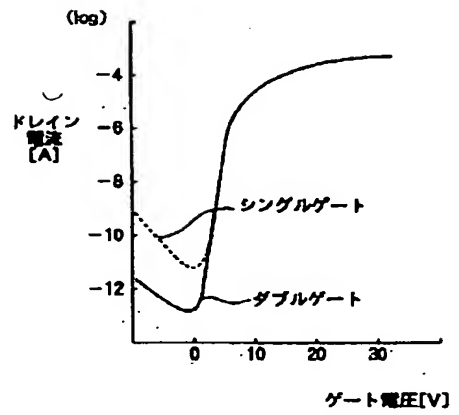
【図 14】



【図17】



【図18】



THIS PAGE BLANK (USPTO)